

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-75043

(43)公開日 平成5年(1993)3月26日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/092 21/76		S 9169-4M M 9169-4M 7342-4M	H 0 1 L 27/ 08	3 2 1 B

審査請求 有 発明の数1(全 4 頁)

(21)出願番号 特願平4-48761  
(62)分割の表示 特願平1-6448の分割  
(22)出願日 昭和54年(1979)10月25日

(71)出願人 000002369  
セイコーエプソン株式会社  
東京都新宿区西新宿2丁目4番1号  
(72)発明者 真野 敏彦  
長野県諏訪市大和3丁目3番5号株式会社  
諏訪精工舎内  
(74)代理人 弁理士 鈴木 喜三郎 (外1名)

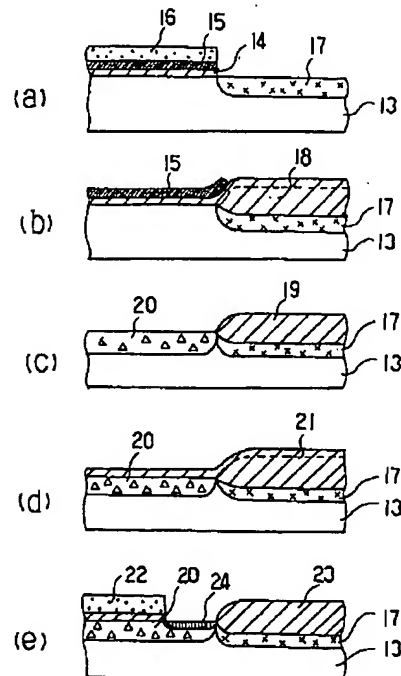
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】 (修正有)

【目的】 P型ウエル領域及びN型ウエル領域と、P型ストッパー領域を有する半導体装置の高集積化及び高信頼性化を図ることを目的とする。

【構成】 先に形成したN型ウエル領域17上に自己整合的に設けられた選択酸化膜をマスクとしてN型ウエル領域に隣接してP型ウエル領域20を形成し、P型ウエル領域とN型ウエル領域との境界部分からP型ウエル領域にかけてP型ストッパー領域24を形成する。

【効果】 半導体装置の高集積化を達成するとともに、ウエル領域中の不純物の偏析による低下を防止することができる。



1

## 【特許請求の範囲】

【請求項1】 半導体基板にN型ウエル領域、P型ウエル領域およびP型ストッパー領域を形成する半導体装置の製造方法において、前記半導体基板上に酸化に対してマスク作用を有する耐酸化膜を選択的に形成する工程、前記耐酸化膜を形成した部分をマスクとして前記半導体基板中にN型のイオンを導入することにより前記N型ウエル領域を形成する工程、前記耐酸化膜をマスクとして前記N型ウエル領域を選択酸化し、前記N型ウエル領域上に選択酸化膜を形成する工程、前記耐酸化膜をエッチング除去する工程、前記選択酸化膜をマスクとして前記半導体基板中にP型のイオンを導入することにより前記N型ウエル領域に隣接して前記P型ウエル領域を形成する工程、前記P型ウエル領域と前記N型ウエル領域との境界部分から前記P型ウエル領域にかけてP型ストッパー領域を形成する工程を有することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は半導体装置の製造方法、特にP型ウエル領域とN型ウエル領域とからなるツインウエルと、ストッパー領域とを有する半導体装置の製造方法に関する。

## 【0002】

【従来の技術】図1に、従来のツインウエルとストッパー領域の製造方法を示して説明する。図1(a)でシリコン基板1にシリコン酸化膜2を形成しN型ウエル領域を形成するための窓を明け、レジスト3を剥離した後、図1(b)のように全面にシリコン酸化膜5を形成する。N型ウエル領域を形成する方法と同じ工程で図1(c)のようにP型ウエル領域を形成した後、同図(d)のようにシリコン酸化膜9を全面に形成する。最後にP型ストッパー領域を形成するための窓を明け、レジスト11をマスクとして図1(e)のように該P型ストッパー領域12を形成する。

## 【0003】

【発明が解決しようとする課題】このような従来の製造方法ではマスクずれ等により余裕をもたせてそれぞれのウエル領域及びストッパー領域を形成しなければならなかった。これは素子の高集積化を図る上で非常に不都合である。

【0004】本発明は以上の欠点を改良したものである。本発明の目的とするところは、自己整合となっているP型及びN型ウエル領域のP型ウエル領域内にP型ストッパー領域を自己整合で形成することにより素子の高集積化を図ることができることにある。

## 【0005】

【課題を解決するための手段】半導体基板にN型ウエル領域、P型ウエル領域およびP型ストッパー領域を形成する半導体装置の製造方法において、前記半導体基板上

2

に酸化に対してマスク作用を有する耐酸化膜を選択的に形成する工程、前記耐酸化膜を形成した部分をマスクとして前記半導体基板中にN型のイオンを導入することにより前記N型ウエル領域を形成する工程、前記耐酸化膜をマスクとして前記N型ウエル領域を選択酸化し、前記N型ウエル領域上に選択酸化膜を形成する工程、前記耐酸化膜をエッチング除去する工程、前記選択酸化膜をマスクとして前記半導体基板中にP型のイオンを導入することにより前記N型ウエル領域に隣接して前記P型ウエル領域を形成する工程、前記P型ウエル領域と前記N型ウエル領域との境界部分から前記P型ウエル領域にかけてP型ストッパー領域を形成する工程を有することを特徴とする。

## 【0006】

【実施例】本発明の一実施例を図2に従って説明する。図2(a)でシリコン基板13にシリコン酸化膜14、シリコン窒化膜15を形成した後、N型ウエル領域を形成するための窓を明け、レジスト16をマスクとしてイオン注入により該N型ウエル領域17を形成する。レジスト16を剥離した後、シリコン窒化膜15をマスクとして選択酸化を行いシリコン酸化膜18を形成したのが図2(b)である。次に図2(c)のようにシリコン窒化膜15を除去し、その下のシリコン酸化膜をエッチングすると選択酸化をした部分にシリコン酸化膜19が残る。該シリコン酸化膜19をマスクとしてイオン注入によりP型ウエル領域20を形成する。さらに図2(d)のように全面にシリコン酸化膜21を形成した後、同図(e)のようにP型ストッパー領域を形成するための窓を明け、レジスト22及びシリコン酸化膜23をマスクとして該P型ストッパー領域24を形成する。

## 【0007】

【発明の効果】上記で説明した本発明による製造方法によれば、おのおのが自己整合となるP型ウエル領域、N型ウエル領域において、さらにP型ストッパー領域が自己整合で形成されるためにマスクずれ等による余裕をもたせる必要はなくなり、それによりウエル領域の面積を20～30%小さくすることができる。

【0008】以上のように本発明は素子の高集積化を図ったものである。

## 【図面の簡単な説明】

【図1】 従来のストッパー領域を形成する方法を示す図である。

【図2】 本発明によるストッパー領域を形成する方法を示す図である。

## 【符号の説明】

13…シリコン基板

14, 18, 19, 21, 23…シリコン酸化膜

15…シリコン窒化膜

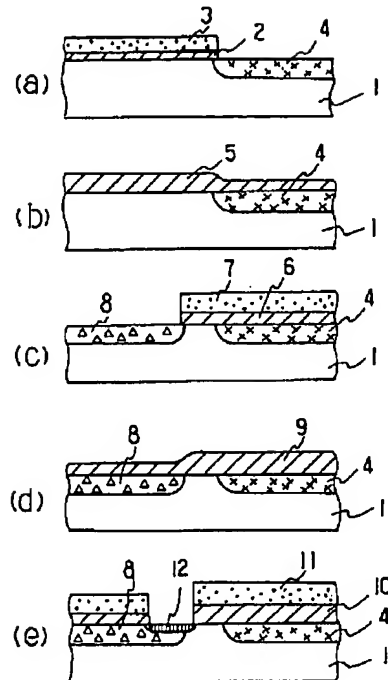
16, 22…レジスト

17…N型ウエル領域

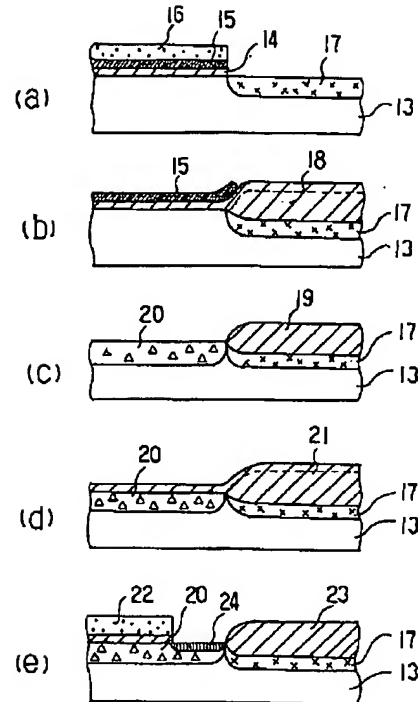
20...P型ウエル領域

24...P型ストッパー領域

【図1】



【図2】



## 【手続補正書】

【提出日】平成4年4月2日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0002

【補正方法】変更

【補正内容】

【0002】

【従来の技術】図1に、従来のツインウエルとストッパ一領域の製造方法を示して説明する。図1(a)でシリコン基板1にシリコン酸化膜2を形成しN型ウエル領域を形成するための窓をあけ、レジスト3をマスクとしてイオン注入によりN型ウエル領域を形成する。次に、レジスト3を剥離した後、図1(b)のように全面にシリコン酸化膜5を形成する。N型ウエル領域を形成する方法と同様に、シリコン酸化膜6及びレジスト7をマスクとして図1(c)のようにP型ウエル領域を形成する。その後、同図(d)のようにシリコン酸化膜9を全面に形成する。最後にP型ストッパ一領域を形成するための窓をシリコン酸化膜9に明け、シリコン酸化膜10及びレジスト11をマスクとして図1(e)のように該P型ストッパ一領域12を形成する。

## 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0003

【補正方法】変更

【補正内容】

【0003】

【発明が解決しようとする課題】このような従来の製造方法では、フォトリソ工程の際のマスクずれ等により余裕をもたせてそれぞれのウエル領域及びストッパ一領域を形成しなければならなかった。これは素子の高集積化を図る上で非常に不都合である。

## 【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0004

【補正方法】変更

【補正内容】

【0004】

本発明は以上の欠点を改良したもので、その目的とするところは、P型及びN型ウエル領域、並びにP型ウエル領域内にP型ストッパ一領域を高密度化して設け、素子の高集積化を図るとともに、高信頼性、つまり所望の深さを持つ両ウエル領域を有する半導体装置を提供するところにある。

## 【手続補正4】

【補正対象書類名】明細書  
【補正対象項目名】0005  
【補正方法】変更  
【補正内容】  
【0005】

【課題を解決するための手段】本発明は、半導体基板にN型ウエル領域、P型ウエル領域およびP型ストッパー領域を形成する半導体装置の製造方法において、前記半導体基板上に酸化に対してマスク作用を有する耐酸化膜を選択的に形成する工程、前記耐酸化膜を形成した部分をマスクとして前記半導体基板中にN型のイオンを導入することにより前記N型ウエル領域を形成する工程、前記耐酸化膜をマスクとして前記N型ウエル領域を選択酸化し、前記N型ウエル領域上に選択酸化膜を形成する工程、前記耐酸化膜をエッチング除去する工程、前記選択酸化膜をマスクとして前記半導体基板中にP型のイオンを導入することにより前記N型ウエル領域に隣接して前記P型ウエル領域を形成する工程、前記P型ウエル領域と前記N型ウエル領域との境界部分から前記P型ウエル領域にかけてP型ストッパー領域を形成する工程を有することを特徴とする。

【作用】不純物イオンが導入されたシリコン基板の表面を熱酸化して熱酸化膜を形成する際に、N型イオンに比べてP型イオンは熱酸化膜中に偏析する割合が大きいことが知られている。本発明によれば、N型ウエル領域を先に形成し、熱酸化による選択酸化膜をN型ウエル領域上に形成することにより、ウエル形成のために導入されたN型イオンが選択酸化膜中に偏析されにくいので、不純物濃度を低下させることがない。

【手続補正5】  
【補正対象書類名】明細書  
【補正対象項目名】0006  
【補正方法】変更  
【補正内容】  
【0006】

【実施例】図2は、本発明の一実施例の半導体装置を、その製造工程の一例により説明するためのものである。図中、13はシリコン基板、14、18、19、21、23はシリコン酸化膜、15はシリコン窒化膜、16、22はレジスト、17はN型ウエル領域、20はP型ウエル領域、24はP型ストッパー領域である。図2(a)でシリコン基板13にシリコン酸化膜14、シリ

コン窒化膜15を形成した後、N型ウエル領域を形成するための窓をあけ、レジスト16をマスクとしてN型イオンの注入により該N型ウエル領域17を形成する。レジスト16を剥離した後、シリコン窒化膜15をマスクとして選択酸化を行い、N型ウエル領域17上にシリコン酸化膜18を形成したのが図2(b)である。次に図2(c)のようにシリコン窒化膜15を除去し、その下のシリコン酸化膜14をエッチング除去すると選択酸化をした部分にシリコン酸化膜19が残る。該シリコン酸化膜19をマスクとしてP型イオンの注入によりP型ウエル領域20を形成する。P型ウエル領域20は、基板表面に形成されたN型ウエル領域17に接して形成されているから、N型ウエル領域17が形成されていない領域は、すべてP型ウエル領域20であり、P型及びN型ウエル領域の間の基板表面が露出していることはない。これは、N型ウエル領域17とP型ウエル領域20が互いに補完しあうことにより一つの基板表面を占領し尽くしている関係になっていることの結果である。さらに図2(d)のように全面にシリコン酸化膜21を形成した後、同図(e)のようにP型ストッパー領域を形成するための窓をあけ、レジスト22及びシリコン酸化膜23をマスクとして該P型ストッパー領域24を形成する。

【手続補正6】  
【補正対象書類名】明細書  
【補正対象項目名】0007  
【補正方法】変更  
【補正内容】  
【0007】

【発明の効果】上記で説明した本発明によれば、P型ウエル領域、N型ウエル領域及びP型ストッパー領域を高密度化して設けることができるので、マスクずれ等による余裕をもたせる必要はなくなり、それによりウエル領域の面積を20～30%小さくすることができる。また、N型ウエル領域の表面に熱酸化により選択酸化膜を形成することにより、シリコン基板中に導入されたN型の不純物イオンが酸化膜中に偏析することを小さくでき、不純物濃度の低下を問題とする必要がないという効果もある。

【手続補正7】  
【補正対象書類名】明細書  
【補正対象項目名】0008  
【補正方法】削除

PAT-NO: JP405075043A  
DOCUMENT-IDENTIFIER: JP 05075043 A  
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE  
PUBN-DATE: March 26, 1993

INVENTOR-INFORMATION:  
NAME  
MANO, TOSHIHIKO

ASSIGNEE-INFORMATION:  
NAME COUNTRY  
SEIKO EPSON CORP N/A

APPL-NO: JP04048761  
APPL-DATE: March 5, 1992

INT-CL (IPC): H01L027/092, H01L021/76  
US-CL-CURRENT: 257/349, 257/648

ABSTRACT:

PURPOSE: To improve the degree of integration and reliability of a semiconductor device with a P-type well region, an N-type well region and a P-type stopper region.

CONSTITUTION: A P-type well region 20 is formed adjacent to an N-type well region 17 while using a selective oxide film formed onto the previously formed N-type well region 17 in a self-alignment manner as a mask, and a P-type stopper region 24 is formed extending over the P-type well region from the boundary section of the P-type well region and the N-type well region. Improvement in the degree of integration of a semiconductor device is attained while deterioration due to the segregation of impurities in the

well regions can  
be prevented.

COPYRIGHT: (C)1993, JPO&Japio